

适用于 SBAS 和 Galileo 卫星导航 接收机的 Viterbi 译码器实现

张洪伦, 巴晓辉, 李 健, 陈 杰

(中国科学院 微电子研究所, 北京 100029)

摘 要: 设计并实现了一种适用于 SBAS 和 Galileo 卫星导航系统的 $(2, 1, 7)$ 卷积码的 Viterbi 译码器. 由于卫星导航系统中的数据率不高, 采用串行结构实现 Viterbi 译码器, 并且多通道复用同一译码器, 以节省电路面积. 此外, 采用改进的加比选单元并通过寄存器交换法对幸存路径进行管理, 以进一步优化电路结构. 为了减少 RAM 的使用, 利用同址更新技术将路径度量累加值和幸存路径存储至 RAM. 译码电路通过 FPGA 验证, 采用 SMIC65 nm 工艺库进行综合, 该译码器逻辑电路的面积为 $4\,738\,\mu\text{m}^2$.

关键词: SBAS; Galileo; Viterbi; 电路设计

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2015)01-0060-04

Implementation of Viterbi Decoder for SBAS and Galileo Navigation Receiver

ZHANG Hong-lun, BA Xiao-hui, LI Jian, CHEN Jie

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A Viterbi decoder is designed and implemented for $(2, 1, 7)$ convolutional code in the SBAS and Galileo navigation systems. Since the data rate of the satellite navigation system is relatively low, the sequential architecture is applied and the Viterbi decoder is reused by all data channels in order to reduce area consumption. In addition, modified add-select-compare unit and register-exchange method have been used to further optimize the circuit. In order to reduce storage usage, RAM is accessed by in-place updating technology for path metric and survivor path. The decoder has been verified on the FPGA platform, and the synthesis result shows that the area of the logic circuit is $4\,738\,\mu\text{m}^2$ using 65 nm cell library.

Key words: SBAS; Galileo; Viterbi; circuit design

1 引言

SBAS(Satellite-Based Augmentation Systems)是利用地球静止轨道卫星建立的地区性广域差分增强系统, 目前全球发展的 SBAS 系统有 EGNOS、WAAS、MSAS 和 GAGAN. 伽利略定位系统(Galileo)是欧盟正在建造中的全球卫星定位系统, 30 颗 MEO 卫星分布在 3 个倾斜轨道平面上. SBAS 和 Galileo 导航卫星信号都采用了 $(2, 1, 7)$ 卷积码编

码, 使用 Viterbi 译码器进行译码.

已有大量文献对 Viterbi 译码器进行了设计, 很多文章致力于提升 Viterbi 译码器的译码速度和减少资源消耗. 文献[1]中提出了针对卫星通信的 Viterbi 译码器, 采用串并结合的译码方式, 同时利用流水线结构来提高译码速度, 使得译码速度达到 5 Mb/s, ALUTs 占用 3 131, Logic Registers 占用 9 980. 文献[2]中提出了针对移动通信的 Viterbi 译码器设计, 采用全并行等方案, 使得译码速率达 50

收稿日期: 2014-04-03; 修回日期: 2014-05-28

基金项目: 国家自然科学基金项目(61376027, 61221004)

Mbit/s, LUTs 占用 49 769. 还有一些文章致力于提升 Viterbi 译码器的性能. 文献[3-4]对硬判决和软判决两种方式进行了对比, 软判决能够获得 2~3 dB 增益. 文献[5]提出了一种针对欧氏距离累加值溢出问题的解决方案, 简化了控制电路. 文献[6]中利用同址更新技术, 使得路径度量累加值的存储不需要两块 RAM 进行乒乓操作, 从而使路径累加值存储空间减少一半.

卫星导航系统中使用的 Viterbi 译码器与移动通信等系统中的 Viterbi 译码器有很多不同之处, 主要有两点: (1) 前者数据速率较低, 只有 50~500 Symbol/s, 可以使用串行译码方式, 以减少电路规模; (2) 前者需要同时接收多颗卫星的信号, 同时进行多路数据的 Viterbi 译码. 针对卫星导航接收机中使用的 Viterbi 译码器设计的文章较少, 文献[7]中提出一种适用于导航系统的 Viterbi 译码器, 采用 SMIC0.18 μm 工艺库的逻辑电路综合结果为 4 102 门, 占用资源较少, 但是使用的是硬判决, 性能不如软判决, 并且不支持多通道译码.

本文设计一款可支持 SBAS 和 Galileo 卫星信号(包括 Galileo E1 和 E5 信号)的 Viterbi 译码器, 采用软判决方式, 实现多通道的时分复用译码, 增加通道仅需增加对应的 RAM 即可, 下文将以 16 通道为例描述该译码器电路结构设计.

2 设计分析

SBAS^[8] 卫星导航信号的符号速率为 500 Symbol/s, Viterbi 译码之后为 250 b/s, 每个子帧长 1 s, 内含 250 bit. Galileo^[9] E5a 速率为 50 Symbol/s, 每个页面有 500 个符号, 12 个同步头不参与卷积码编码, Galileo^[9] E5b-I 和 E1-B 速率为 250 Symbol/s, 每页 250 个符号, 前 10 个为同步头, 不参与编码. 具体如表 1 所示.

表 1 卫星导航信号特点

信号	符号速率/ (Symbol/s)	同步头/ symbol	同步头 被编码
SBAS	500	8	是
Galileo E5a	50	12	否
Galileo E5b-I	250	10	否
Galileo E1-B	250	10	否

接收的导航数据符号速率在 50~500 Symbol/s 之间, 对译码速率要求并不高, 因此可串行实现 Viterbi 译码器, 且多通道复用 1 个译码器. 多通道复用 Viterbi 译码器设计有两种方案: 方案一, 每接

收完一页导航电文数据, 进行一次译码, Galileo 卫星信号每页符号数按 500 计算, 使用软判决 3 bit 量化, 译码时还要考虑新数据的接收, 需要两块 RAM 进行乒乓操作, 每个通道共需 $500 \times 3 \times 2 = 3\,000$ bit, 而 SBAS 卫星信号中卷积码编码是连续的, 没有初始状态和结束状态, 那么译码过程也是连续的, 相邻子帧的译码切换时还要存储中间变量, 占用更多的存储空间; 方案二, 接收一对符号数据就进行一次译码, 这种情况下仅需要存储每个对应通道译码中间结果, 假设路径度量累加值取 8 bit 位宽, 译码深度即幸存路径取 32 bit, 需要存储 $64 \times (8 + 32) = 2\,560$ bit, 译码时对 Galileo 和 SBAS 信号的处理也没有任何差别. 通过以上分析可知第二种方案更合理.

3 Viterbi 译码器设计

Viterbi 算法是卷积码编码的最大似然译码算法. 卷积码编码网格图(Trellis)表现了随着时间的推移各状态之间的相互转移, 对于任意特定输入信息序列, 都对应网格图中唯一一条状态转移路径, 其分支输出组成编码输出符号序列. 在接收端译码过程中, 需要重现这个网格图, 在网格图中找到发送序列所走过的路径. 接收到的符号序列与网格图中所有的路径对应符号序列进行对比, 找到和接收序列最相似的路径所对应的信息序列作为发送信息序列的估计. 本设计中采用软判决, 需要计算欧氏距离, 用式(1)表示:

$$d = \sum |\vec{r}_i - \vec{c}_i| \quad (1)$$

式中, $\vec{r}_i$ 为接收符号对, $\vec{c}_i$ 为网格图中分支输出.

3.1 译码器整体电路结构

串行 Viterbi 译码器, 除了基本的加比选(ACS)单元外, 控制模块比较关键. 整体电路结构如图 1 所示, 其中控制模块由状态机实现.

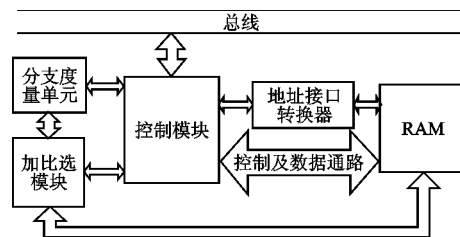


图 1 Viterbi 译码器电路结构

3.2 分支度量单元

对于(2,1,7)卷积码, Viterbi 译码器的分支度量单元在一个译码周期内需要计算 128 次, 而分支

输出只有四种情况,分别为 00、01、10 和 11,计算四次就可以,使用时针对不同的 ACS 单元选用不同的分支度量值即可,减少了计算量。

3.3 蝶形运算单元

3.3.1 蝶形运算单元规律

图 2 所示为 (2,1,7) 卷积码编码器电路结构,数据从左向右移位,对应图 3 所示的蝶形运算。观察到达一个状态的两路分支,状态 S_{2i} 和 S_{2i+1} 输入 0 时都会转移到状态 S_i , $S_{2i} \rightarrow S_i$ 分支输出计算式为

$$G_0 = 0 \oplus A_5 \oplus A_4 \oplus A_3 \oplus 0 \quad (2)$$

$$G_1 = 0 \oplus A_4 \oplus A_3 \oplus A_1 \oplus 0$$

$S_{2i+1} \rightarrow S_i$ 分支输出计算式为

$$G_0 = 0 \oplus A_5 \oplus A_4 \oplus A_3 \oplus 1 \quad (3)$$

$$G_1 = 0 \oplus A_4 \oplus A_3 \oplus A_1 \oplus 1$$

异或运算求 G_0 值时式(2)和式(3)中只有一个运算对象不同, G_0 取值相反。同理两个式子中 G_1 取值也相反,因而两个分支的输出互补。到达状态 S_{i+32} 的两个分支也有相同的规律,并且从同一状态出发的两个分支的输出也互补。

由上面分析可知,仅从 $S_{2i} \rightarrow S_i$ 的状态转移输出,就可以推出另外三个状态转移的输出,例如若 $S_{2i} \rightarrow S_i$ 输出 10,则 $S_{2i} \rightarrow S_{i+32}$ 输出 01, $S_{2i+1} \rightarrow S_i$ 输出 01, $S_{2i+1} \rightarrow S_{i+32}$ 输出 10,如图 3 所示。

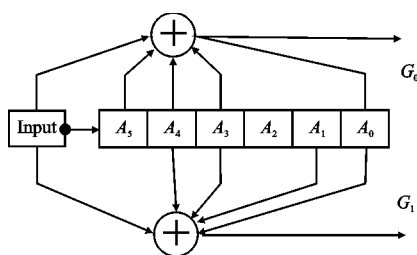


图 2 (2,1,7) 卷积码编码器

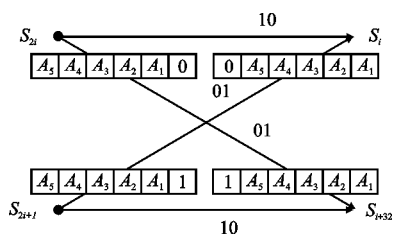


图 3 蝶形运算单元

与 (2,1,7) 卷积码同一类型的其他卷积码编码也有类似结论,每次只输入一个信息位,并且编码运算中当前输入和移位寄存器最后一位 A_0 都参与,这种情况下从一个状态出发的两个分支或者到达一个状态的两个分支对应的输出计算式中刚

好仅有一个运算对象不同,在异或运算中所得的结果就会互补。利用这个规律,一个蝶形运算中四个支路只要计算出一个分支输出就可以,能够减小计算量。

3.3.2 使用补码运算的 ACS 单元

设计实现一个不用考虑溢出问题的 ACS 单元,使用补码运算,文献[5]给出了理论依据。

Viterbi 算法有两个基本属性:(1) 幸存路径的选择只依赖于路径度量累加值之差;(2) 路径度量累加值之差是有界的。式(4)为路径度量累加值差值 $|m_s(k) - m_t(k)|$ 范围,其中 $m_s(k)$ 和 $m_t(k)$ 分别为时刻 k 任意两个状态 s 和 t 的路径度量累加值, K 为约束长度, B 为分支度量值的最大可能值和最小可能值之差。在 ACS 运算中,由于存在旧的路径度量累加值加上当前的分支度量值,如图 4 中两个加法的运算结果,因此一个 ACS 运算的中间结果差值会达到 kB 。

$$|m_s(k) - m_t(k)| \leq (K-1)B \quad (4)$$

530	10:00010010:	495	01:1101111
-495	-0:11110111:	-530	-10:00010010:
035	00:00100011:	035	11:11011101

图 4 无需考虑溢出 ACS 运算单元

对于 (2,1,7) 卷积码编码,用软判决 3 bit 量化,从 0 到 7,所以每个分支度量值范围为 0~14,则路径度量累加值之差上界为 84,而 ACS 运算的中间结果的差值上界为 98。

比较两个数据大小可以用减法器,使用补码运算实现。在二进制减法中,两个数相减,结果是差值的补码,如果这个差值在位宽可表示的范围内,可以通过差值的符号判断相减的两个数的大小,而不考虑相比较的两个数据是否出现溢出。在本设计中,最大差值为 98,因此选择 8 位数据位宽,可以表示的范围为 -128~127。例如比较 530 与 495 的大小,如图 5 虚线框内为实际硬件的运算数据以及结果,由于差值 35 在 -128~127 范围内,即使运算对象已经溢出结果还是正确的,因此运算结果的符号可以用来判断相减的两个数哪个大。

根据上面的分析,提出了如图 5 所示的 ACS 电路结构, $Pm0[7:0]$ 和 $Pm1[7:0]$ 为旧的路径度量累加值, $Bm0[3:0]$ 和 $Bm1[3:0]$ 为分支度量值, $Sub_pm[7:0]$ 是差值,上支路累加值减下支路,用 $Sub_pm[7]$ 选择新的路径度量累加值 $Pm_new[7:0]$ 。此电路结构在设置合理的位宽以后就不用考虑溢出问题了,图中所示位宽按照本文实现的译码器而设

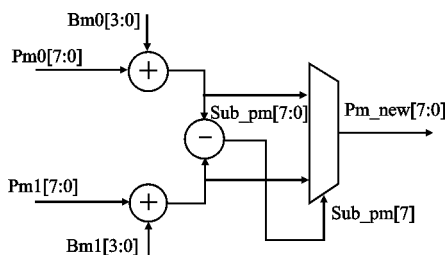


图 5 运算对象存在溢出减法

置的。

3.4 幸存路径管理

幸存路径管理有两种方法,回溯法和寄存器交换法。由于寄存器交换法在状态转移时寄存器之间需要进行大量的数据交换,功耗太大,很少被使用,通常选择回溯法。但是,在译码速率要求不高的情况下,将中间变量存放至 RAM 中则有很大不同,读写 RAM 时以字为单位,数据交换通过对 RAM 的读写实现,此时可以使用寄存器交换法。这样不需要回溯过程即可直接输出译码结果,减少译码延时的同时,还减少了访问 RAM 的次数(次数由回溯深度决定),因为在回溯译码输出时还需要额外读取 RAM 中的数据,增加了功耗。

3.5 RAM 分配及同址更新寻址

路径累加值的存储策略通常是设置两块 RAM 进行乒乓操作,同时由于使用寄存器交换法,也需要两块 RAM 存储幸存路径。同址更新技术能够将 RAM 使用减少一半,它是将计算结果立刻写回原地地址当中而不产生读写冲突。

4 仿真验证与综合结果

Viterbi 译码器电路通过 Modelsim 功能仿真,并下载到 FPGA 上进行验证,用 ARM 控制 Viterbi 译码器,并不断检测是否有译码输出,如果有则通过串口输出。实验数据控制在一定的信噪比下,输出译码结果与原信息比较,结果无误。

使用 Synopsys 的 Design Compiler 工具对电路进行综合,采用 SMIC65 nm 工艺库,将时序约束设置为 50 MHz,综合面积 $4\,738\,\mu\text{m}^2$ (大概有 4 738 门,不包含 RAM),详细的资源利用情况见表 2。与文献[7]中的实现电路相比,虽然使用的门电路数多了 600 左右,但本文设计的电路在 16 通道情况下,相比利用乒乓操作 RAM 节省 8 192 bit,当通道增减时调整相应 RAM 大小即可。

本文实现的 Viterbi 译码器译码一组数据的周期数为 260 个,当同时对 16 通道进行译码,且假设

接收信号速率 500 Symbol/s,则要求时钟频率至少为 $500/2 \times 260 \times 16 = 1.04\text{ MHz}$ 。

表 2 16 通道 Viterbi 译码器资源利用

项目	资源利用
电路规模	4738 μm^2
路径累加值用 RAM	$8 \times 64 \times 16 = 8192\text{ bit}$
幸存路径用 RAM	$32 \times 64 \times 16 = 32\,768\text{ bit}$
RAM 总量	40 860 bit

5 结束语

本文针对卫星导航系统特点,实现一种适用于 SBAS 和 Galileo 卫星导航接收机中的 Viterbi 译码器,支持多通道译码。通过对 (2, 1, 7) 卷积码的 Viterbi 译码器结构进行深入研究,分析了寄存器交换法的合理性,采用同址更新技术以及利用补码运算的 ACS 单元等,使电路结构得到简化并且增强了适用性。经 Modelsim 仿真, FPGA 验证表明电路正确,DC 综合面积为 $4\,738\,\mu\text{m}^2$,占用资源少。

参考文献:

- [1] 邱磊,张岩. 基于 FPGA 的高性能 Viterbi 译码器的设计[J]. 微电子学与计算机, 2010, 27(7): 246-249.
- [2] 黄君凯,王鑫. 一种高速 Viterbi 译码器的优化设计及 Verilog 实现[J]. 微电子学与计算机, 2005, 22(2): 178-182.
- [3] Jim K., Omura, Barry K Levitt. Coded error probability evaluation for antijam communication systems[J]. IEEE Transaction on Communications, 1982(30): 896-903.
- [4] Jerrold A, Heller, Irwin Mark Jacobs. Viterbi decoding for satellite and space communication[J]. IEEE Transaction on Communications, 1971(19): 835-848.
- [5] Andries P, Hekstra. An Alternative to metric rescaling in viterbi decoders[J]. IEEE Transaction on Communications, 1989(37): 1220-1222.
- [6] Charles M, Rader. Memory management in a viterbi decoder[J]. IEEE Transaction on Communications, 1981(29): 1399-1401.
- [7] 桂琼,李晓江. 一种适用于导航系统的维特比译码器电路设计与仿真[J]. 微电子学与计算机, 2011, 28(1): 54-60.
- [8] US. Department of transportation federal aviation administration specification for the wide area augmentation system(WAAS). FAA-E-2892b[S]. US, 2001.

(下转第 67 页)

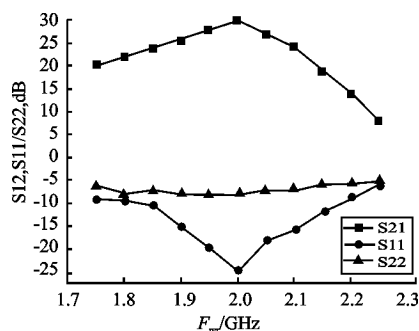


图9 S参数曲线

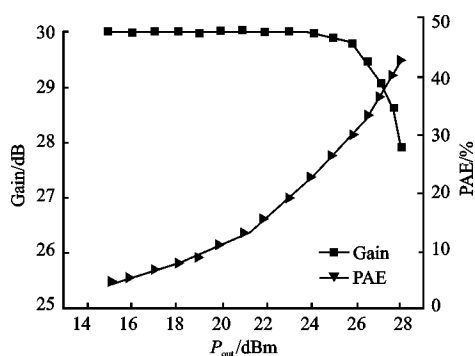


图10 增益和 PAE 随输出功率变化曲线

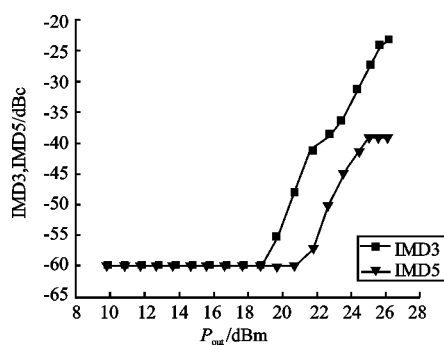


图11 IMD3 和 IMD5 随输出功率变化曲线

参考文献:

- [1] International Telecommunications Union (ITU). Requirements related to technical performance for IMT-Advanced radioInterface[EB/OL]. [2014-03-25]. <http://www.itu.int/pub/R-REP-M.2134-2008/en>.
- [2] 池保勇,于志平,石秉学. CMOS 射频集成电路分析与设计[M]. 北京:清华大学出版社,2006.
- [3] Steve C Cripps. RF power amplifiers for wireless communications second edition [M]. Norwood: Aechrt House,2006.
- [4] Tseng Pei-Der, Zhang Liyang, Gao GuangBo, A 3-V Monolithic SiGe HBT power amplifier for dual-mode(CDMA/AMPS)cellular handset applications[J]. IEEE Journal of Solid-State Circuits,2000,35(9):1-2.
- [5] William Liu, Ali Khatibzadeh, Jim Sweder. The use of base ballasting to prevent the collapse of current gain in AlGaAs/GaAs heterojunction bipolar transistors [J]. IEEE Transactions on Electron Devices,1996,43(2):245-251.
- [6] 胡锦,陶可欣,郝明丽,等,基于 SiGe 工艺的高增益射频功率放大器[J]. 微电子学与计算机,2012,29(2):18-21.
- [7] Youn Sub Noh, Chul Soon Park. PCS/W-CDMA dual-Band MMIC power amplifier with a newly proposed linearizing bias circuit[J]. IEEE Journal of Solid-State Circuits, 2002,37(9):1096-1099.
- [8] Yun Wei, Joseph Staudinger, Monte Miller. High efficiency linear GaAs MMIC amplifier for wireless base station and femto cell applications [C] // IEEE PAWR, Beijing, 2012.

作者简介:

贯会征 男,(1988-),硕士研究生.研究方向为 MMIC 设计. E-mail:guanhuizheng@163.com.

阎跃鹏 男,(1963-),研究员,博士生导师.研究方向为集成电路与系统设计.

(上接第 63 页)

- [9] European union and european space agency. European GNSS (Galileo) open service signal in space interface control document. OD SIS ICD, Issue 1.1[S]. European, 2010.

作者简介:

张洪伦 男,(1989-),硕士研究生.研究方向为微电子学与

固体电子学.

巴晓辉(通讯作者) 男,(1980-),博士,副研究员.研究方向为卫星导航算法研究. E-mail:baxiaohui@ime.ac.cn.

李健 男,(1981-),博士研究生.研究方向为超大规模集成电路设计.

陈杰 男,(1963-),博士,研究员.研究方向为无线通信.